



B3

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 199 03 598 A 1**

⑤① Int. Cl.⁷:
H 01 L 29/78

②① Aktenzeichen: 199 03 598.9
②② Anmeldetag: 29. 1. 1999
②③ Offenlegungstag: 10. 8. 2000

DE 199 03 598 A 1

⑦① Anmelder:
Siemens AG, 80333 München, DE

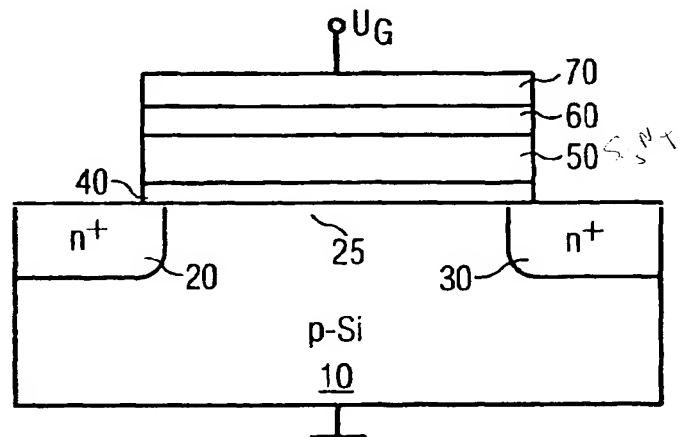
⑦② Erfinder:
Reisinger, Hans, Dr.rer.nat., 82031 Grünwald, DE;
haneder, Thomas, 81549 München, DE; Bachhofer,
Harald, Dipl.-Phys., 81677 München, DE

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Halbleitervorrichtung mit Mehrfachdielektrikum

⑤⑦ Die vorliegende Erfindung schafft eine Halbleitervorrichtung mit einem Mehrfachdielektrikum, insbesondere einem ONO-Dreifachdielektrikum, mit einem Halbleitersubstrat (10) eines ersten Leitungstyps; einem im Halbleitersubstrat (10) vorgesehenen ersten Dotierungsbereich (20) eines zweiten Leitungstyps; einem im Halbleitersubstrat (10) vorgesehenen zweiten Dotierungsbereich (30) des zweiten Leitungstyps; einem zwischen dem ersten und dem zweiten Dotierungsbereich (20, 30) liegenden Kanalbereich (25); einem über dem Kanalbereich (25) liegenden Gate-Dielelektrikum (40, 50, 60), welches zumindest drei Schichten aufweist; und einem über dem Gate-Dielelektrikum (40, 50, 60) vorgesehenen Gate-Anschluß (70). Die unterste Schicht (40) des Gate-Dielelektrikums (40, 50, 60) weist eine wesentlich kleinere Dielektrizitätskonstante auf als die oberste Schicht (60) des Gate-Dielelektrikums (40, 50, 60).



DE 199 03 598 A 1

Die erfindungsgemäße Halbleitervorrichtung mit einem Mehrfachdielektrikum, insbesondere einem ONO-Dreifachdielektrikum mit einem Halbleitersubstrat eines ersten Leitungstyps; einem im Halbleitersubstrat vorgesehenen ersten Dotierungsbereich eines zweiten Leitungstyps; einem im Halbleitersubstrat vorgesehenen zweiten Dotierungsbereich des zweiten Leitungstyps; einem zwischen dem ersten und dem zweiten Dotierungsbereich liegenden Kanalbereich; einem über dem Kanalbereich liegenden Gate-Dielektrikum, welches zumindest drei Schichten aufweist; und einem über dem Gate-Dielektrikum vorgesehenen Gate-Anschluß.

Obwohl auf beliebige Halbleitervorrichtungen anwendbar, werden die vorliegende Erfindung sowie die ihr zugrundeliegende Problematik in Bezug auf MOS-Feldeffekt-Transistoren mit einem ONO-Dreifachdielektrikum erläutert.

Allgemein kommen MOS-Feldeffekt-Transistoren mit ONO-Dreifachdielektrikum ($\text{SiO}_2 - \text{Si}_3\text{N}_4 - \text{SiO}_2$) in der Silizium-Halbleitertechnologie als nichtflüchtige Speicher (EEPROM) zum Einsatz. Solche sogenannten SONOS-Transistoren besitzen gegenüber Floating-Gate-Transistoren zahlreiche Vorteile. Zum einen zeichnen sie sich durch eine wesentlich geringere Defektdichte und eine einfachere Zellstruktur aus. Zum anderen führt ein Defekt im Gatedielektrikum nicht zum vollständigen Verlust der gespeicherten Ladung, da im Gegensatz zu Floating-Gate-Transistoren die Ladung in einer nichtleitenden Schicht gespeichert ist.

Zukünftige EEPROM-Anwendungen fordern neben hoher Zuverlässigkeit, hohen Packungsdichten und langer Datenhaltung vor allem niedrige Programmierspannungen und kurze Programmierzeiten. Floating-Gate-Transistoren können aufgrund sinkender Zuverlässigkeit bei dünnerem Tunneloxid die Dicke dieser Schicht nicht unter 8 nm reduzieren. Folglich können die Programmierspannungen nicht weiter sinken.

Heutige Floating-Gate-Speicher arbeiten mit einer Spannung von ca. 12 V. Moderne SONOS-Speicher sind auf ca. 10 nm Gatedielektrikum reduziert und besitzen Programmierspannungen unter 10 V. Siehe dazu auch M. L. French, C.-Y. Chen, H. Sathianathan, M. H. White, IEEE Trans. Comp., Packaging, and Manufacturing Tech. - Part A, Vol. 17, No. 3, 390-397 (1994) sowie T. Böhm, A. Nakamura, H. Aozasa, M. Yamagishi, Y. Komatsu, Jpn. J. Appl. Phys., Vol. 35, 898-901 (1996).

Die der vorliegenden Erfindung zugrundeliegende Aufgabe besteht darin, die Programmierspannungen von SONOS-Transistoren noch weiter zu senken oder wahlweise deren Datenhaltungszeit oder Löschgeschwindigkeit zu erhöhen.

Erfindungsgemäß wird diese Aufgabe durch die in Anspruch 1 angegebene Halbleitervorrichtung gelöst.

Die erfindungsgemäße Halbleitervorrichtung weist gegenüber den bekannten Lösungsansätzen den Vorteil auf, daß über der obersten Schicht des Gatedielektrikums eine geringere Spannung abfällt und somit dort geringere unerwünschte Leckströme fließen.

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, daß eine Halbleitervorrichtung mit einem Mehrfachdielektrikum, insbesondere einem ONO-Dreifachdielektrikum, im Gateapfel vorgesehen wird. Die unterste Schicht des Gate-Dielektrikums weist eine wesentlich kleinere Dielektrizitätskonstante auf als die oberste Schicht des Gate-Dielektrikums.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen der in Anspruch 1 angegebenen Halbleitervorrichtung.

Gemäß einer bevorzugten Weiterbildung weist das Gate-Dielektrikum eine SiO_2 -Schicht als unterste Schicht und eine darüberliegende Si_3N_4 -Schicht auf.

Gemäß einer weiteren bevorzugten Weiterbildung weist das Gate-Dielektrikum als oberste Schicht eine Schicht aus mindestens einem der folgenden Materialien auf: Al_2O_3 , HfO , CeO_2 , ZrO_2 , Ta_2O_5 , Y_2O_3 , TiO_2 .

Gemäß einer weiteren bevorzugten Weiterbildung weist der Gate-Anschluß mindestens eines der folgenden Materialien auf: Pt, Au, W, Ir oder Silizide oder TiN oder polykristallines p-dotiertes Silizium.

Gemäß einer weiteren bevorzugten Weiterbildung handelt es sich um einen MOS-Feldeffekttransistor in Silizium-Technologie.

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

Fig. 1 eine schematische Darstellung einer Ausführungsform der erfindungsgemäßen Halbleitervorrichtung in Form eines MOS-Feldeffekttransistors;

Fig. 2 das Bändermodell einer feldfreien SONOS-Struktur (Flachbandzustand) mit p-Substrat und n⁺-Gate;

Fig. 3 den Zustand einer SONOS-Struktur, an deren Gate eine positive äußere Spannung angelegt ist; und

Fig. 4 den Zustand einer SONOS-Struktur, an deren Gate eine negative äußere Spannung angelegt ist.

Fig. 2 zeigt das Bändermodell einer feldfreien SONOS-Struktur (Flachbandzustand) mit p-Substrat und n⁺-Gate, wie aus J. T. Wallmark, J. H. Scott, RCA Rev., Vol. 30, 335-381 (1969) bekannt.

Wie aus Fig. 2 zu ersehen ist, liegt im Nitrid das Leitungsband höher und das Valenzband tiefer als im Substrat bzw. im Poly-Gate. Deshalb wird es ohne angelegte äußere Spannung zu keiner Ladungsinjektion ins Nitrid kommen.

Fig. 3 und Fig. 4 kennzeichnen den Zustand einer SONOS-Struktur, an deren Gate eine positive bzw. negative äußere Spannung angelegt ist.

Die geringere Dicke des Bottom-Oxids gegenüber der des Top-Oxids ermöglicht es, Ladungsträger vorzugsweise aus dem Substrat und nicht aus dem Gate zu injizieren, wie unten näher beschrieben.

In Fig. 3 entsteht an der Halbleiteroberfläche eine Inversionsschicht und Elektronen können durch das dünne Bottom-Oxid in das durch das elektrische Feld nach unten gezogene Leitungsband im Nitrid tunneln (1). Dort werden sie an lokalisierte Haftstellen gebunden und wandern mittels Poole-Frenkel-Leitung weiter in das Nitridvolumen hinein. Dies hat eine Aufladung der Nitrid-Schicht mit Elektronen zur Folge. Daraus resultiert eine Verschiebung der Flachbandspannung in positiver Richtung. Elektronen, die durch das elektrische Feld im Nitrid bis zum Top-Oxid driften, tunneln teilweise durch das Top-Oxid und fließen über das Gate ab (2).

Außerdem werden Locher vom Valenzband des Polysiliziums durch das Top-Oxid ins Valenzband des Nitrids injiziert (3). Die Ladungsinjektion von Lochern ist aber aufgrund der größeren Oxiddicke und höheren Potentialbarriere wesentlich unwahrscheinlicher. Mit steigender Ladung im Nitrid erniedrigt sich (1) und (2) steigt an. Werden diese Strombeiträge gleich groß, wird Netto keine zusätzliche Ladung ins Nitrid injiziert, d. h. die Verschiebung der Flachbandspannung geht in Sättigung.

Das Programmieren mit positiver Spannung wird nach allgemeiner Konvention als Schreiben bezeichnet. Bei heutigen Anwendungen sind die Programmierzeiten beim Schreiben zu kurz, als daß dieser Gleichgewichtszustand erreicht werden könnte.

In Fig. 4 tunneln Locher vom Valenzband des Substrats ins Valenzband des Nitrids (4) und rekombinieren mit den bereits injizierten Elektronen und führen so zum Löschen der gespeicherten Ladung. Außerdem ist es möglich, daß Elektronen, die durch Schreiben zuvor ins Nitrid injiziert wurden, zurück ins Substrat tunneln (5).

Die Flachbandspannung und somit die Einsatzspannung wird in negativer Richtung verschoben. Löcher, die sich in Richtung des Top-Oxids bewegen und ins Gate tunneln, sind zu vernachlässigen (6). Vielmehr können jedoch Elektronen vom Leitungsband des Poly-Gates ins Nitrid tunneln (7).

Durch die sinkende negative Ladung bzw. Akkumulation positiver Ladung im Nitrid vergrößert sich im Laufe des Löschvorgangs das elektrische Feld im Top-Oxid und führt somit zu verstärktem Elektronentunneln (7). Letztendlich kommt es zum Gleichgewicht zwischen (4)/(5) und (7). Als Netto-Effekt wird keine weitere Ladung im Nitrid getrappt.

Es sei hier angemerkt, daß diese Gleichgewichtssituation dadurch ermöglicht wird, daß die Dicke der Potentialbarriere für Elektronen am Top-Oxid zwar größer, deren Höhe gegenüber der für Locher am Bottom-Oxid aber kleiner ist.

Der störende Einfluß des konkurrierenden Prozesses der Ladungsinjektion aus der Gate-Elektrode tritt weniger beim Schreiben als vielmehr beim Löschen auf. Beim Löschen begibt sich die Verschiebung der Einsatzspannung umso früher in Sättigung, je größer (absolut) die angelegte Spannung ist.

Um die Einsatzspannung auf den ursprünglichen Wert (vor dem Schreiben) zurückzustellen, darf die angelegte Spannung also einen gewissen Wert nicht überschreiten. Dies verhindert kürzere Löschenzeiten.

In den bisher üblichen SONOS-Transistoren besteht das Dreifach-Dielektrikum aus der Schichtfolge $\text{SiO}_2 - \text{Si}_3\text{N}_4 - \text{SiO}_2$. Im ladungsfreien Zustand ist das elektrische Feld in Bottom- und Top-Oxid somit gleich groß. Im Verlauf der Injektion von Ladungsträgern erniedrigt sich das elektrische Feld im Bottom-Oxid und erhöht sich im Top-Oxid.

Ersetzt man das Dielektrikum SiO_2 ($\epsilon_r = 4$) im Top-Dielektrikum durch ein Material mit einer größeren Dielektrizitätskonstanten, erniedrigt sich das elektrische Feld im Top-Oxid. Für den Fall, daß das Dielektrikum noch nicht geladen ist und sich an den Grenzflächen keine Oberflächenladungen befinden, liefert der Gaußsche Satz:

$$E_{\text{Top-Oxid}} / E_{\text{Bottom-Oxid}} = \epsilon_{\text{Top-Oxid}} / \epsilon_{\text{Bottom-Oxid}} \quad (1)$$

wobei $E_{\text{Top-Oxid}}$ das elektrische Feld des Top-Oxids, $E_{\text{Bottom-Oxid}}$ das elektrische Feld des Bottom-Oxids, $\epsilon_{\text{Top-Oxid}}$ die Dielektrizitätskonstante des Top-Oxids und $\epsilon_{\text{Bottom-Oxid}}$ die Dielektrizitätskonstante des Bottom-Oxids bezeichnen.

Tunnelströme durch das Top-Oxid werden je nach vorliegendem elektrischen Feld und Barrierenhöhe entweder durch Fowler-Nordheim-, modifiziertes Fowler-Nordheim- oder direktes Tunneln beschrieben.

Vereinfacht dargestellt gilt für alle drei Mechanismen im wesentlichen folgende Abhängigkeit des Tunnelstroms j vom elektrischen Feld E und Barrierenhöhe ϕ_B :

$$j \sim 1/\phi_B E^2 \exp(-\phi_B^{3/2}/E) \quad (2)$$

Bei einem Dielektrikum mit $\epsilon_r = 20$ und halber Barrierenhöhe ($\phi_B = 1.5 - 2.0$ eV) im Vergleich zu SiO_2 verringert sich der Tunnelstrom durch das Top-Dielektrikum bereits um ein bis zwei Größenordnungen.

Bei Dielektrika mit $\epsilon_r = 100$ und $\phi_B = 1.5 - 2.0$ eV verringert sich der Tunnelstrom rechnerisch sogar um 6 Größenordnungen.

Im Gegensatz zu herkömmlichen SONOS-Transistoren

ergeben sich dabei folgende Auswirkungen:

1. Bei gleichbleibender Spannung fällt von dieser ein größerer Anteil über dem Bottom-Oxid und ein kleinerer über dem Top-Dielektrikum ab. Dies führt zu erhöhter Ladungsinjektion vom Substrat und damit zu kürzeren Programmierzeiten.

2. Außerdem tritt beim Löschen der oben geschilderte Gleichgewichtszustand erst später ein. Da man Transistoren mit den neuen Top-Materialien bei gleicher Programmierspannung zu niedrigeren Einsatzspannungen verschieben kann, kann man, um bei der gleichen Einsatzspannung zu landen, zu betragsmäßig höheren Spannungen übergehen. Das Löschen geht dann natürlich noch schneller.

3. Ist man weniger an kürzeren Programmierzeiten interessiert, so kann man bei gleichbleibenden Zeiten die Programmierspannungen wesentlich erniedrigen.

4. Jede Kombination aus 1. und 3. ist denkbar.

5. Für die Datenhaltung (retention time) ist vor allem die Dicke des Bottom-Oxids entscheidend. Aufgrund ihres eigenen Feldes tunneln Ladungsträger aus dem Nitrid durch das dünne Bottom-Oxid zurück ins Substrat. Erhöht man die Dicke des Bottom-Oxids von beispielsweise 2 nm auf 3 nm, ist eine um Größenordnungen bessere Datenhaltung möglich. Um gleiche Programmierzeiten zu gewährleisten, muß die Spannung geringfügig angehoben werden, bleibt aber immer noch unter der herkömmlicher SONOS-Transistoren.

Die polykristalline Struktur dieser Materialien und ein damit verbundener erhöhter Leckstrom an den Korngrenzen spielt für die Datenhaltung keine Rolle, da im Nitrid die Ladungen an lokalisierten Haftstellen gespeichert sind.

Fig. 1 zeigt eine schematische Darstellung einer Ausführungsform der erfindungsgemäßen Halbleitervorrichtung in Form eines MOS-Feldeffekttransistors.

In Fig. 1 bezeichnen 10 ein p-Silizium-Substrat, 20 eine n⁺-Source, 25 einen Kanalbereich, 30 einen n⁺-Drain, 40 ein Bottom-Oxid, 50 ein Si_3N_4 -Dielektrikum, 60 ein Top-Oxid, 70 einen Gate-Anschluß und U_G eine Gate-Vorsorgungsspannung (Substrat 10 liegt in diesem Beispiel auf Masse). Als Top-Dielektrikum 60 verwendet man bei diesem Ausführungsbeispiel ein oder mehrere Materialien mit einer hohen Dielektrizitätskonstanten (relativ zu SiO_2 , welches das Bottom-Dielektrikum bildet), nämlich z. B. Al_2O_3 ($\epsilon_r = 12$), HfO , CeO_2 , ZrO_2 , Ta_2O_5 , Y_2O_3 (alle etwa $\epsilon_r = 20$) oder TiO_2 (je nach Textur bis zu $\epsilon_r = 100$).

Das Dreifach-Dielektrikum eines solchen SONOS-Transistors hat somit folgende Struktur:

$\text{SiO}_2 - \text{Si}_3\text{N}_4 - (\text{Al}_2\text{O}_3 \text{ und/oder } \text{HfO} \text{ und/oder } \text{CeO}_2 \text{ und/oder } \text{ZrO}_2 \text{ und/oder } \text{Ta}_2\text{O}_5 \text{ und/oder } \text{Y}_2\text{O}_3 \text{ und/oder } \text{TiO}_2)$.

Als Gate-Anschluß 70 verwende man vorzugsweise Materialien mit hohen Austrittsarbeiten. Hier sind beispielsweise die Metalle Pt, Au, W, Ir oder Silizide oder TiN oder polykristallines p-dotiertes Silizium (für p⁺-Polysilizium siehe H. Reisinger, M. Franosch, B. Hasler, T. Böhm, 1997 Symp. on VLSI Technol. Dig. of Tech. Papers, 1 13-1 14) zu nennen.

Aufgrund der höheren Potentialbarriere erreicht man dadurch eine verminderte Tunnelwahrscheinlichkeit für Elektronen aus dem Gate (beim Löschen). Sowohl n- als auch p-Kanal-Transistoren sind mit diesen Dreifach-Dielektrika realisierbar.

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie

darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

Bezugszeichenliste

10 p-Silizium-Substrat	5
20 n ⁺ -Source	
25 Kanalbereich	
30 n ⁺ -Drain	
40 Bottom-Oxid	10
50 Si ₃ N ₄ -Dielektrikum	
60 Top-Oxid	
70 Gate-Anschluß	
U _G Gate-Vorsorgungsspannung	15

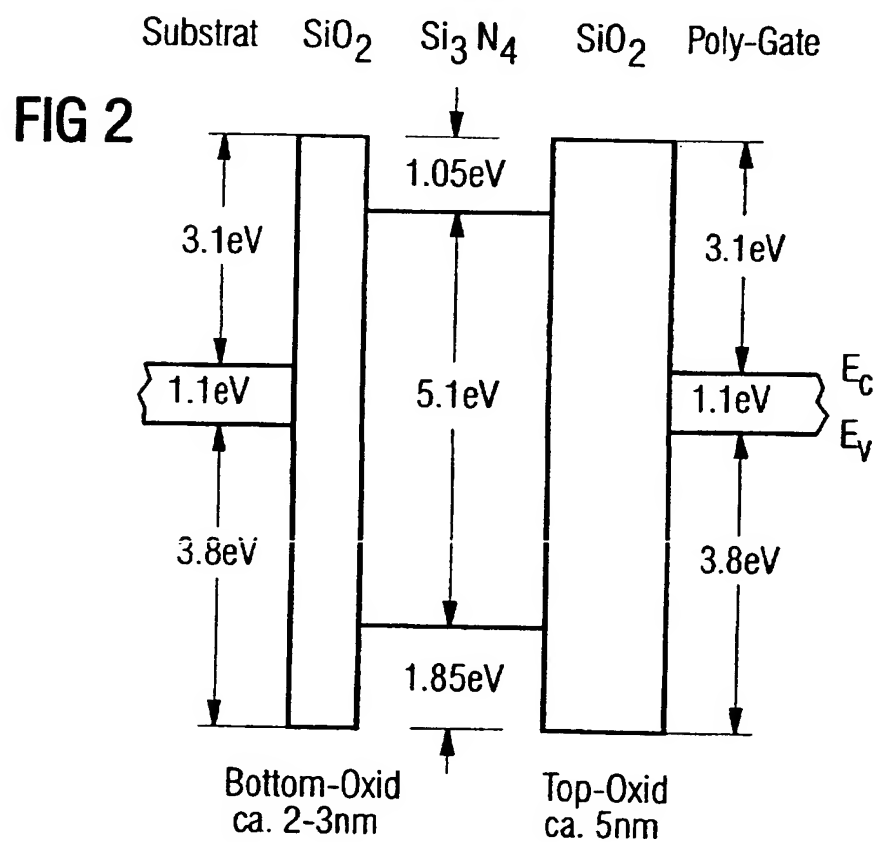
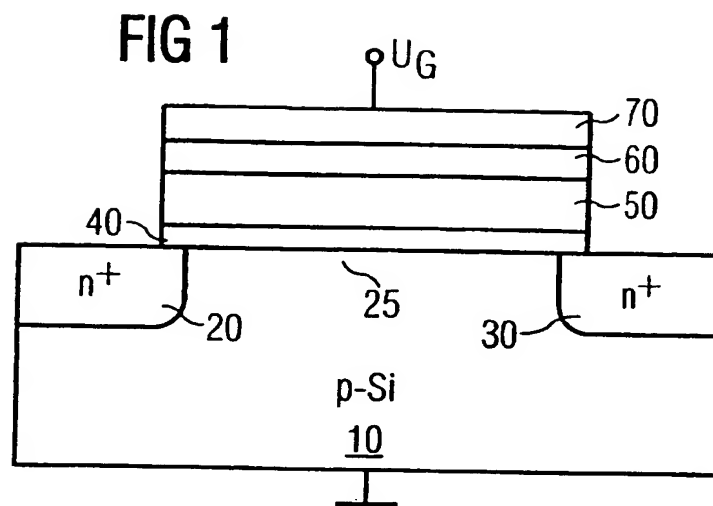
Patentansprüche

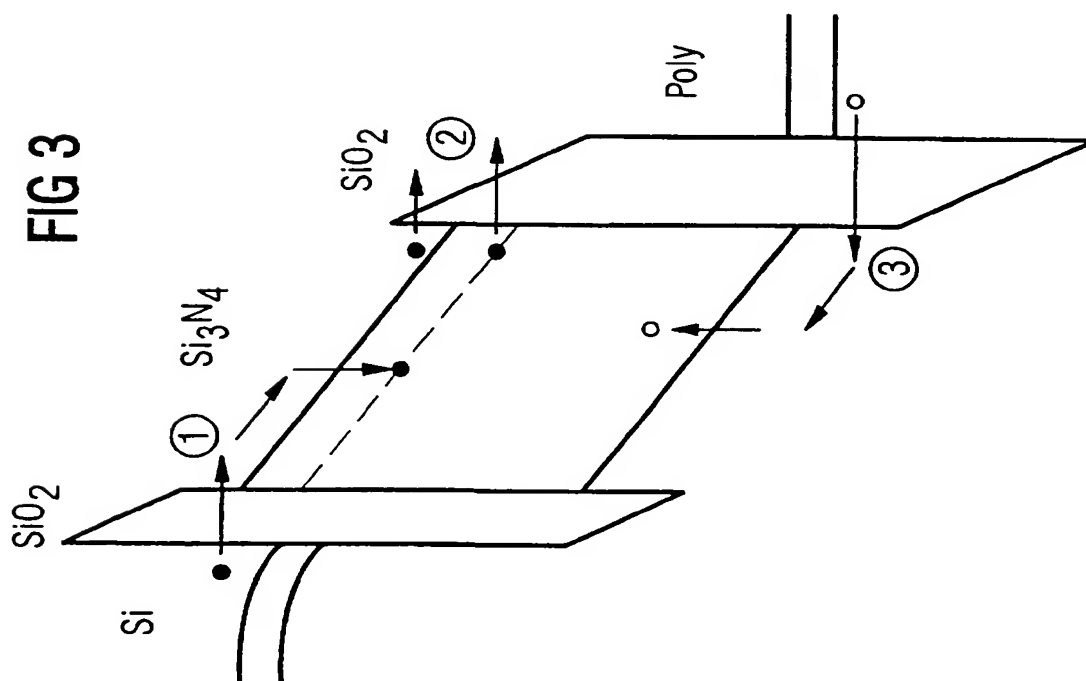
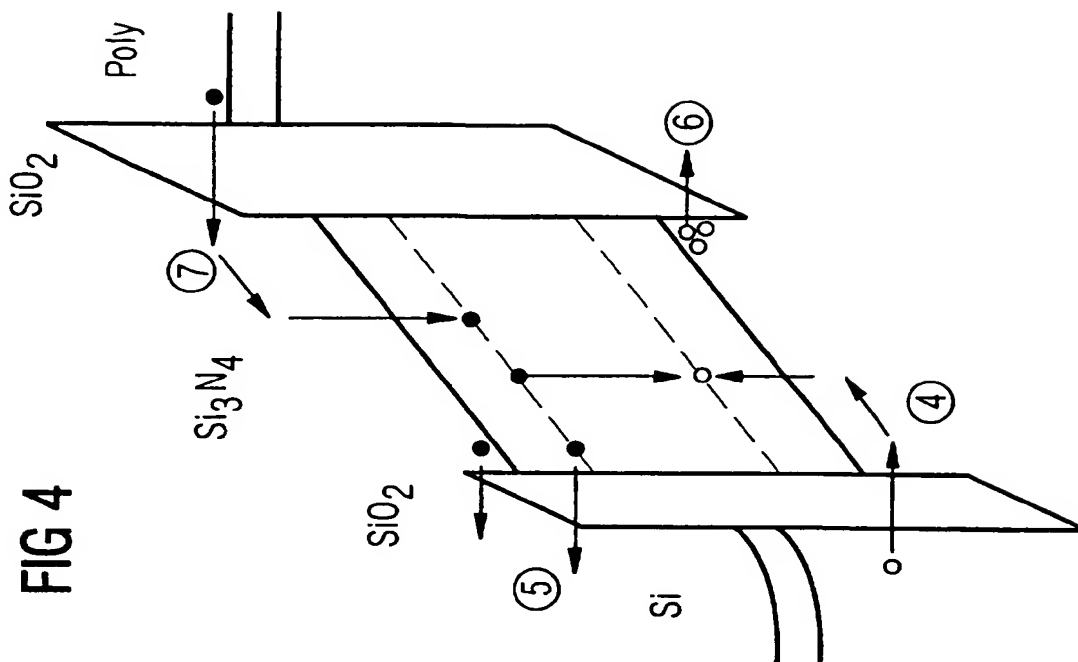
- Halbleitervorrichtung mit einem Mehrfachdielektrikum, insbesondere einem ONO-Dreifachdielektrikum, mit:
 einem Halbleitersubstrat (10) eines ersten Leitungstyps;
 einem im Halbleitersubstrat (10) vorgesehenen ersten Dotierungsbereich (20) eines zweiten Leitungstyps;
 einem im Halbleitersubstrat (10) vorgesehenen zweiten Dotierungsbereich (30) des zweiten Leitungstyps;
 einem zwischen dem ersten und dem zweiten Dotierungsbereich (20, 30) liegenden Kanalbereich (25);
 einem über dem Kanalbereich (25) liegenden Gate-Dielektrikum (40, 50, 60), welches zumindest drei Schichten aufweist; und
 einem über dem Gate-Dielektrikum (40, 50, 60) vorgesehenen Gate-Anschluß (70);
dadurch gekennzeichnet, daß
 die unterste Schicht (40) des Gate-Dielektrikums (40, 50, 60) eine wesentlich kleinere Dielektrizitätskonstante aufweist als die oberste Schicht (60) des Gate-Dielektrikums (40, 50, 60).
- Halbleitervorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß das Gate-Dielektrikum (40, 50, 60) eine SiO₂-Schicht (40) als unterste Schicht und eine darüberliegende Si₃N₄-Schicht (50) aufweist.
- Halbleitervorrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Gate-Dielektrikum (40, 50, 60) als oberste Schicht (60) eine Schicht aus mindestens einem der folgenden Materialien aufweist: Al₂O₃, HfO, CeO₂, ZrO₂, Ta₂O₅, Y₂O₃, TiO₂.
- Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Gate-Anschluß (70) mindestens eines der folgenden Materialien aufweist: Pt, Au, W, Ir oder Silizide oder TiN oder polykristallines p-dotiertes Silizium.
- Halbleitervorrichtung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß es sich um einen MOS-Feldeffekttransistor in Silizium-Technologie handelt.

Hierzu 2 Seite(n) Zeichnungen

60

65





German Patent No. DE 199 03 598 A1
(Offenlegungsschrift)
[Selected portions only, as requested]

Job No.: 604-94530

Translated from German by the Ralph McElroy Translation Company
910 West Avenue, Austin, Texas 78701 USA

Ref.: SC11697TP HEDGDE CTAL.



FEDERAL REPUBLIC OF GERMANY
GERMAN PATENT OFFICE
PATENT NO. DE 199 03 598 A1
(Offenlegungsschrift)

Int. Cl. ⁷ :	H 01 L	29/78
Filing No.:	199 03 598.9	
Filing Date:	January 29, 1999	
Publication Date:	August 10, 2000	

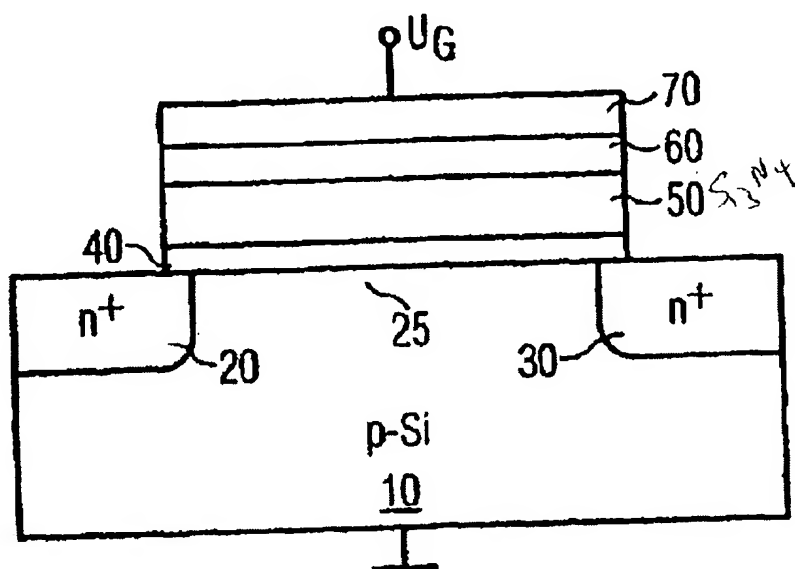
SEMICONDUCTOR DEVICE WITH MULTILAYER DIELECTRIC

Inventors:	Hans Reisinger 82031 Grünwald, DE
	Thomas Haneder 81549 Munich, DE
	Harald Bachhofer 81677 Munich, DE
Applicant:	Siemens AG 80333 Munich, DE

The following data are taken from documents submitted by the applicant.

Petition for examination has been submitted in accordance with § 44 of the patent law.

This invention creates a semiconductor device with a multilayer dielectric, in particular an ONO threefold dielectric, with a semiconductor substrate (10) of a first conducting type; a first doping region (20) of a second conducting type provided in the semiconductor substrate (10); a second doping region (30) of the second conducting type provided in the semiconductor substrate (10); a channel region (25) lying between the first and second doping regions (20,30); a gate dielectric (40,50,60) that has at least three layers lying above the channel region (25); and a gate terminal (70) provided above the gate dielectric (40,50,60). The lowest layer (40) of the gate dielectric (40,50,60) has a considerably smaller dielectric constant than the uppermost layer (60) of the gate dielectric (40,50,60).



* * *

In this embodiment example one uses as the top dielectric 60 one or more materials that have a high dielectric constant (relative to SiO₂, which forms the bottom dielectric), namely, for example, Al₂O₃ ($\epsilon_r = 12$), HfO, CeO₂, ZrO₂, Ta₂O₅, Y₂O₃ (all about $\epsilon_r = 20$) or TiO₂ (up to $\epsilon_r = 100$ according to texture).

* * *

